

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/403

In re patent application of

Sang-min SHIN, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: FERROELECTRIC CAPACITOR AND METHOD FOR MANUFACTURING THE SAME

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-6728, filed February 4, 2003.

Respectfully submitted,

February 4, 2004  
Date

  
\_\_\_\_\_  
Eugene M. Lee  
Reg. No. 32,039  
Richard A. Sterba  
Reg. No. 43,162

LEE & STERBA, P.C.  
1101 Wilson Boulevard Suite 2000  
Arlington, VA 20009  
Telephone: (703) 525-0978



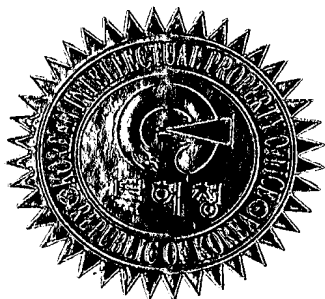
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0006728  
Application Number

출 원 년 월 일 : 2003년 02월 04일  
Date of Application FEB 04, 2003

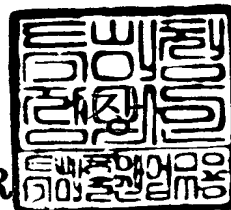
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 07 일

특 허 청

COMMISSIONER





1020030006728

출력 일자: 2003/3/8

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.02.04
【국제특허분류】	H01L
【발명의 명칭】	강유전체 커패시터 및 그 제조방법
【발명의 영문명칭】	Ferroelectric capacitor and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	신상민
【성명의 영문표기】	SHIN, Sang Min
【주민등록번호】	720919-1119829
【우편번호】	462-151
【주소】	경기도 성남시 중원구 은행1동 현대아파트 105동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	이용균
【성명의 영문표기】	LEE, Yong Kyun
【주민등록번호】	720914-1122945
【우편번호】	449-840



1020030006728

출력 일자: 2003/3/8

【주소】	경기도 용인시 수지읍 죽전리 883-1 대진2차아파트 105동 104호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	강보수		
【성명의 영문표기】	KANG,Bo Soo		
【주민등록번호】	730725-1670311		
【우편번호】	151-900		
【주소】	서울특별시 관악구 신림1동 1635-85번지		
【국적】	KR		
【발명자】			
【성명의 국문표기】	노태원		
【성명의 영문표기】	NOH,Tae Won		
【주민등록번호】	570804-1005127		
【우편번호】	137-040		
【주소】	서울특별시 서초구 반포동 610-43 오크하이츠빌라 302호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	윤종걸		
【성명의 영문표기】	Y00N,Jong Gul		
【주민등록번호】	581029-1674216		
【우편번호】	441-390		
【주소】	경기도 수원시 권선구 권선동 벽산아파트 805동 1102호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 필 (인) 대리인 이해영 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	38,000	원	

1020030006728

출력 일자: 2003/3/8

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

강유전체 커패시터 및 그 제조 방법에 관해 개시되어 있다. 여기서 본 발명은 하부 전극, 유전층 및 상부전극이 순차적으로 적층된 강유전체 커패시터에 있어서, 상기 유전층은 복층의 강유전막들이 순차적으로 적층된 것이되, 상기 복층의 강유전막들 중 인접한 두 강유전막은 조성 또는 조성비에 있어 서로 이질적인 것을 특징으로 하는 강유전체 커패시터 및 그 제조 방법을 제공한다. 이러한 본 발명을 이용하면, 강유전막의 분극 상태가 긴 리텐션(retention) 시간 동안 안정적으로 유지된다. 곧 데이터를 기록한 후 오랜 시간이 경과한 후에도 상기 기록된 데이터를 정확히 읽을 수 있다. 따라서 FRAM에 본 발명에 의한 강유전체 커패시터를 적용하는 경우, FRAM의 신뢰성이 종래보다 훨씬 높아지게 된다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

강유전체 커패시터 및 그 제조방법{Ferroelectric capacitor and method of manufacturing the same}

**【도면의 간단한 설명】**

도 1 및 도 2는 각각 서로 다른 종래 기술에 의한 강유전체 커패시터의 구성을 보여주는 단면도이다.

도 3은 본 발명의 제1 실시예에 의한 강유전체 커패시터의 구성을 보여주는 단면도이다.

도 4는 본 발명의 제2 실시예에 의한 강유전체 커패시터의 구성을 보여주는 단면도이다.

도 5 내지 도 7은 본 발명의 실시예에 의한 커패시터와 종래 기술에 의한 커패시터를 대상으로 실시한 실험의 결과를 보여주는 그래프들으로써, 도 5는 분극 특성을, 도 6은 피로(fatigue) 특성을, 도 7은 잔류 분극량(non-volatile remnant polarization) 특성을 보여준다.

도 8은 도 7에 도시된 잔류 분극량(non-volatile remnant polarization)을 재는 펄스 시퀀스(pulse sequence)를 설명하는 타이밍 차트(timing chart)이다.

도 9는 본 발명의 실시예에 의한 강유전체 커패시터 제조 방법을 단계별로 보여주는 블록도이다.

\*도면의 주요부분에 대한 부호의 설명\*

40:하부전극

42, 46: 유전충

44:하부전극

42a, 46a: 제1 유전막

42b, 46b: 제2 유전막

42c: 제3 유전막

S1, S2, S3, S4: 제1 내지 제4 분극률 이력곡선

S1', S2', S3', S4':제1 내지 제4 피로(fatigue) 곡선

S1", S2", S3", S4":제1 내지 제4 리텐션(retention) 곡선

### 【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 장치의 커패시터 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 조성 또는 조성비를 달리하는 적어도 두 종류 이상의 강유전체막이 포함된 강유전체 커패시터 및 그 제조 방법에 관한 것이다.

<15>      휴대용 정보통신기기와 같은 포터블 전자장치가 널리 보급되면서 전원이 꺼져도 저장된 데이터가 사라지지 않는 비휘발성 메모리에 대한 수요가 점점 높아지고 있다. 상기 비휘발성 메모리의 대표적인 것이 강유전체 메모리(FRAM: Ferroelectric Random Access Memory)이다. FRAM은 데이터가 휘발되지 않는 이점 외에 데이터 처리속도가 빠르고 전력 소모가 작은 이점도 갖고 있다.

<16> 일반적으로 반도체 메모리는 단위 셀이 트랜지스터와 커패시터로 구성되는데, 강유전체 메모리의 단위 셀도 트랜지스터와 커패시터로 구성된다. 그러나 강유전체 메모리의 커패시터는 강유전체를 유전체로 사용한 강유전체 커패시터이다.



- <17> FRAM 공정에 많이 적용되는 종래 기술에 의한 강유전체 커패시터는 도 1에 도시된 바와 같이, 하부전극인 제1 백금(Pt)층(10), 강유전체층인 PZT층(12) 및 상부전극인 제2 백금층(14)이 순차적으로 적층되어 형성된 것이다.
- <18> 도 1에 도시된 강유전체 커패시터의 경우, PZT층(12)은 CSD(Chemical Solution Deposition)방법이나 CVD(Chemical Vapor Deposition)방법을 사용하여 한번에 원하는 두께로 형성된다.
- <19> 이 경우, PZT층(12)을 형성하는데 참여하지 못한 많은 결함들, 예컨대 보이드(void)나 잔여원소(excess atom) 등이 PZT층(12)의 계면에 존재하게 된다. 상기 결함들은 PZT층(12)을 형성한 후, 재 가열 공정을 거치더라도 여전히 커패시터 내부에 남게 된다. 이에 따라 FRAM의 특성 저하를 유발하는데, 특히 FRAM의 리텐션(retention) 특성을 저해하게 된다. 리텐션 특성의 정의와 평가방법에 대해선 후술된다.
- <20> 이와 같은 종래의 강유전체 커패시터의 문제점을 개선하기 위해, 최근에 강유전체 커패시터의 상하부 전극을 모두 산화물( $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$  등)로 대체하여 산소 결손을 보상하고, PZT층의 결정형성에 좋은 백금막(Pt)을 중간막으로 사용하여 상기 PZT층의 계면 조건의 향상을 도모한 강유전체 커패시터가 등장한 바 있다.
- <21> 예를 들면, 이러한 강유전체 커패시터는 도 2에 도시된 바와 같이 PZT층(12)을 중심으로 그 하부에 제1 이리듐 산화막( $\text{IrO}_2$ )(16) 및 제1 백금막(10)이 순차적으로 적층되어 형성된 하부전극이 존재하고, 그 상부에 제2 백금막(14) 및 제2 이리듐 산화막(18)이 순차적으로 적층되어 형성된 상부전극이 존재한다.

- <22> 여기서, 제1 및 제2 백금막(10, 14)은 각각 제1 및 제2 중간막으로 사용된 것이나, 편의 상 하부전극 및 상부전극을 구성하는 요소의 하나로 간주하였다.
- <23> 도 2에 도시된 강유전체 커패시터의 경우, 도 1에 도시된 강유전체 커패시터에 비해 상기한 바와 같은 여러 이점을 갖고 있으나, 여전히 상기 결함들이 PZT층(12) 내부에 존재한다. 이러한 결함들은 긴 리텐션(retention) 시간 동안 하부 및 상부전극에서 유입된 전하들과 함께 계면에 쌓이게 된다. 강유전체 커패시터 내부에서 분극 방향이 동일한 구역을 도메인(domain)이라 하는데, 전압을 가해서 도메인을 한쪽 방향으로 정렬시킨 커패시터 또는 가속 테스트를 위해 열이 가해진 커패시터에서 상기와 같은 전하 이동이나 외부로부터의 전하 유입 경향은 더욱 커진다.
- <24> 이 결과, PZT층(12) 내부에 PZT층(12)의 도메인(domain)에 분극을 일으킨 외부 전기장의 방향과 동일한 방향의 전기장이 유도된다. 시간이 지남에 따라 전하의 이동 및 축적은 계속되어 상기 내부에 유도된 전기장의 세기는 점점 커진다.
- <25> 이와 같이 PZT층(12) 내부에 유도된 전기장이 존재하는 경우, 소정의 시간이 흐른 뒤, 전압을 인가하여 상기 도메인을 반대 방향으로 스위칭(switching)시켰을 때, 새로운 도메인의 분극 상태는 분극 방향과 반대 방향의 상기 전기장 때문에 불안정하게 된다.
- <26> 이처럼 종래 기술에 의한 강유전체 커패시터의 경우, PZT층 내부에 결함에 기인한 내부 전기장이 존재하여, 다시 전압을 걸어 도메인의 방향을 바꾸면 새로운 도메인 분극 상태가 불안정하게 되는 바, FRAM의 집적도가 높아져서 강유전체 커패시터의 부피가 작아지면, 여러 공정을 거쳐 형성되는 결함의 농도 또한 증가하므로 매번 새로 쓰여질 때마다 PZT층의 도메인의 분극상태는 더욱 불안정하게 된다. 때문에 종래의 강유전체 커패시터를 포함하는 FRAM의 경우, 집적도가 높아질수록 신뢰성은 낮아지게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<27> 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 개선하기 위한 것으로서, 강유전체층의 도메인의 분극 상태를 긴 리텐션 시간 동안 안정하게 유지하여 FRAM의 신뢰성을 충분히 보장할 수 있게 하는 강유전체 커패시터를 제공함에 있다.

<28> 본 발명이 이루고자 하는 다른 기술적 과제를 상기 강유전체 커패시터의 제조 방법을 제공함에 있다.

**【발명의 구성 및 작용】**

<29> 상기 기술적 과제를 달성하기 위하여, 본 발명은 하부전극, 유전층 및 상부전극이 순차적으로 적층된 강유전체 커패시터에 있어서, 상기 유전층은 복층의 강유전막들이 순차적으로 적층된 것이되, 상기 복층의 강유전막들 중 인접한 두 강유전막은 조성 또는 조성비에 있어 서로 이질적인 것을 특징으로 하는 강유전체 커패시터를 제공한다.

<30> 상기 하부전극 및 상기 유전층사이 또는 상기 상부전극과 상기 유전층사이에 중간막이 더 구비되어 있다.

<31> 상기 유전층은 제1 내지 제3 강유전막이 순차적으로 적층된 것으로, 각각은 PZT막, PLZT막 및 BSO-PZT막 중 어느 하나이되, 인접한 강유전막은 서로 다르다.

<32> 상기 상부 및 하부전극은 전도성 산화막으로 된 전극, 금속막으로 된 전극(Pt, Ir) 또는 전도성 산화막과 금속막이 복층으로 적층된 것이다.

<33> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 하부전극, 유전층 및 상부전극이 순차적으로 적층된 강유전체 커패시터의 제조 방법에 있어서,

- <34>      상기 유전층은 상기 하부전극 상에 제1 강유전막을 형성하는 제1 단계 및 상기 제1 강유전막 상에 상기 제1 강유전막과 조성 또는 조성비에 있어 이질적인 제2 강유전막을 형성하는 제2 단계를 포함하는 것을 특징으로 하는 강유전체 커패시터의 제조방법을 제공한다.
- <35>      이 과정에서, 상기 제2 강유전막 상에 상기 제2 강유전막과 조성 또는 조성비에 있어 이질적인 제3 강유전막을 더 형성한다.
- <36>      상기 제1 및 제2 강유전막은 동일 조성을 갖는 강유전막으로 형성하되, 서로 다른 공정으로 형성하여 상기 제1 및 제2 강유전막의 성질을 다르게 형성한다. 이때, 상기 제1 및 제2 강유전막은 각각 CSD 방법 또는 MOCVD 방법으로 형성한다.
- <37>      상기 제1 및 제2 강유전막은 조성이 다른 강유전막으로 형성하되, 동일한 공정을 사용하여 형성한다. 이때, 상기 제1 및 제2 강유전막은 모두 CSD방법 및 MOCVD방법 중 선택된 어느 한 방법으로 형성한다.
- <38>      상기 제2 및 제3 강유전막은 동일 조성을 갖는 강유전막으로 형성하되, 서로 다른 공정으로 형성하여 상기 제2 및 제3 강유전막의 성질을 다르게 한다. 이때, 상기 제2 및 제3 강유전막은 각각 CSD 방법 또는 MOCVD 방법으로 형성한다.
- <39>      상기 제2 및 제3 강유전막은 조성이 다른 강유전막으로 형성하되, 동일한 공정을 사용하여 형성한다. 이때, 상기 제2 및 제3 강유전막은 모두 CSD방법 및 MOCVD방법 중 선택된 어느 한 방법으로 형성한다.
- <40>      이러한 본 발명의 강유전체 커패시터를 이용하면, 이질적인 강유전막사이에 인위적으로 계면을 형성시켜 커패시터 내부에서 전하결함이 이동되는 것을 막을 수 있기 때문

에, 강유전막의 내부 전기장이 크게 약화되고, 그 결과 긴 리텐션 시간 동안에도 강유전막의 도메인 분극 상태는 안정적으로 유지될 수 있다. 이것은 오랜 시간이 경과한 후에도 강유전체 커패시터에 기록된 데이터를 정확히 읽을 수 있음을 의미하는 것으로, 본 발명에 의한 강유전체 커패시터가 적용된 FRAM의 경우, 신뢰성이 종래보다 높아질 수 있음을 의미한다.

<41> 이하, 본 발명의 실시예에 의한 강유전체 커패시터 및 그 제조 방법을 첨부된 도면들을 참조하여 상세히 설명한다.

<42> 먼저, 강유전체 커패시터에 대해 설명한다.

<43> <제1 실시예>

<44> 조성 또는 조성비가 다른 세 개의 강유전막으로 유전층을 구성한 것에 특징이 있다.

<45> 구체적으로, 도 3을 참조하면, 본 발명의 제1 실시예에 의한 강유전체 커패시터는 하부전극(40), 유전층(42) 및 상부전극(44)으로 구성된다. 유전층(42)은 제1 내지 제3 유전막(42a, 42b, 42c)이 순차적으로 적층되어 형성된 것이다. 제1 유전막(42a)은 소정의 강유전막으로서, 예를 들면 PZT( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )막, PLZT ( $\text{Pb}_{1-z}\text{La}_z\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ )막 또는 BSO-PZT( $\text{Bi}_2\text{SiO}_5$  additive PZT)막이다. 여기서  $x, z$ 는 0 내지 1사이의 숫자로, 가령  $x=0.35$ 일 경우 결정구조상 단위셀에서 같은 위치를 점하는 Zr과 Ti 원자의 상대적 분포비가  $\text{Zr}:\text{Ti} = 35:65$  임을 의미한다. 제2 유전막(42b)은 소정의 강유전막으로서, PZT막 및 PLZT막 중 어느 하나이나 제1 유전막(42a)으로 사용된 강유전막과 다른 강유전막인 것이 더욱 바람직하다. 제3 유전막(42c)은 역시 소정의 강유전막으로서, PZT막, PLZT막

또는 BSO-PZT막이나 제2 유전막(42b)으로 사용된 강유전막과 다른 강유전막인 것이 더욱 바람직하다.

<46> 제1 및 제2 유전막(42a, 42b)이 모두 조성이 동일한 강유전막, 예컨대 PZT막인 경우, 제1 유전막(42a)으로 사용된 PZT막(이하, 제1 PZT막이라 함)과 제2 유전막(42b)으로 사용된 PZT막(이하, 제2 PZT막이라 함)의 조성비(혹은 성분비)는 서로 다른 것이 바람직하다. 곧, 상기 제1 및 제2 PZT막의 분자식을 각각  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$  및  $\text{PbZr}_y\text{Ti}_{1-y}\text{O}_3$ 라 할 때, 하첨자 "x" 및 "y"의 값이 다른 것이 바람직하다. 이러한 사실은 제1 및 제2 유전막(42a, 42b)이 모두 PLZT막인 경우에도 적용될 수 있다.

<47> 제2 및 제3 유전막(42b, 42c)사이의 관계는 제1 및 제2 유전막(42a, 42b)사이의 관계와 동일하다.

<48> 곧, 제3 유전막(42c)은 강유전막, 예컨대 PZT막, PLZT막 또는 BSO-PZT막인 것이 바람직하다. 그러나 제3 유전막(42c)은 제2 유전막(42b)과 다른 조성(혹은 성분)을 갖는 강유전막인 것이 더욱 바람직하다. 따라서 제2 유전막(42b)이 소정 두께의 PZT막인 경우, 제3 유전막(42c)은 소정 두께의 PLZT막, BSO-PZT막 또는 다른 강유전막인 것이 가장 바람직하다. 제2 및 제3 유전막(42b, 42c)이 모두 조성이 동일한 강유전막인 경우에는 상기 제1 및 제2 PZT막을 예로 들어 설명한 바와 같이 제2 및 제3 유전막(42b, 42c)에 대응되는 강유전막의 조성비(혹은 성분비)는 다른 것이 바람직하다. 제1 내지 제3 유전막(42a, 42b, 42c)의 두께는 각각 3nm~50nm, 30nm~150nm 및 3nm~50nm인 것이 바람직하다.

<49> 상부 및 하부 전극(44, 40)은 각각 백금막(Pt), 이리듐막(Ir) 등과 같은 단일 금속막이거나 전도성 산화막을 포함하는 복층인 것이 바람직하다. 예컨대, 상부 및 하부 전

극(44, 40)은 모두 이리듐(Ir)과 전도성을 갖는 그 산화막( $\text{IrO}_2$ )이 순차적으로 적층되어 형성된 것일 수 있다.

<50> 한편, 상부 및 하부전극(40)은 모두 전도성을 갖는 단일 물질막, 예를 들면 백금막(Pt), 이리듐막(Ir) 등과 같은 단일 금속막 또는 이리듐 산화막( $\text{IrO}_2$ ), 루테튬 산화막( $\text{RuO}_2$ ) 등과 같은 단일 산화막이 될 수 있다.

<51> 한편, 도면에는 도시하지 않았지만, 하부전극(40)과 제1 유전막(42a)사이, 상부전극(44)과 제3 유전막(42c)사이 또는 양쪽 모두에 중간막으로 백금(Pt)막이 존재할 수 있다.

<52> <제2 실시예>

<53> 유전층이 두 개의 강유전막으로 구성된 경우에 관한 것으로써, 구성요소가 제1 실시예에 의한 강유전체 커패시터의 구성요소와 동일한 경우, 그에 대한 참조번호는 제1 실시예에서 사용한 것을 그대로 사용한다. 그리고 동일한 구성요소에 대해서는 설명을 생략한다.

<54> 본 발명의 제2 실시예에 의한 강유전체 커패시터는 도 4에 도시한 바와 같이 하부전극(40), 유전층(46) 및 상부전극(44)으로 구성된다. 유전층(46)은 제1 및 제2 유전막(46a, 46b)이 순차적으로 적층되어 형성된 것이다. 제1 및 제2 유전막(46a, 46b)은 조성이 다른 강유전막이거나 조성은 동일하되, 조성비(혹은 성분비)가 다른 강유전막이다. 전자의 경우, 예컨대 제1 유전막(46a)은 PZT막, 제2 유전막(46b)은 PLZT막일 수 있고, 그 반대일 수도 있다. 후자의 경우, 제1 및 제2 유전막(46a)은 모두 조성비가 다른 PZT

막이거나 PLZT막일 수 있다. 이때, 제1 및 제2 유전막(46a, 46b)의 두께는 각각 3nm~50nm 및 30nm~150nm이다.

<55> 한편, 제1 실시예와 마찬가지로 하부전극(40)과 제1 유전막(46a)사이, 상부전극(44)과 제2 유전막(46b)사이 또는 양쪽 모두에 중간막, 예를 들면 백금막이 존재할 수 있다.

<56> 다음, 본 발명자는 본 발명의 실시예에 의한 강유전체 커패시터(이하, 제1 강유전체 커패시터라 함)의 특성을 측정하였다. 이와 함께 상기 제1 강유전체 커패시터에 대한 비교대상으로써 종래의 강유전체 커패시터(이하, 제2 강유전체 커패시터라 함)에 대한 특성도 측정하였다.

<57> 본 발명자는 상기 측정을 위해, 한 종류의 제1 강유전체 커패시터와 세 종류의 제2 강유전체 커패시터를 사용하였다. 사용된 제1 및 제2 강유전체 커패시터의 구성은 아래의 표와 같다.

<58> 아래의 표에서 샘플 1, 2 및 4는 세 종류의 상기 제2 강유전체 커패시터를 나타내고, 샘플 3은 한 종류의 상기 제1 강유전체 커패시터를 나타낸다. 구성은 좌측에서 우측으로 상부전극, 유전층 및 하부전극이다.

<59> 【표 1】

샘플	구 성
샘플 1	Pt/ PZT /Pt
샘플 2	Ir/IrO <sub>2</sub> / PZT /Pt/IrO <sub>2</sub>
샘플 3	Ir/IrO <sub>2</sub> / PLZT(0.1%La)/PZT(40/60)/PLZT(0.1%La) /Pt/IrO <sub>2</sub>
샘플 4	Ir/IrO <sub>2</sub> / PLZT /Pt/IrO <sub>2</sub> (0.1%La)



- <60>        상기 표에서 0.1%La는 PLZT막에서의 라듐(La) 비율이 0.1%인 것을 나타내고, PZT(40/60)은 PZT막에서의 (Zr/Ti)의 비율을 나타낸다.
- <61>        본 발명자는 상기 제1 및 제2 강유전체 커패시터를 대상으로 하여 분극 특성, 피로(fatigue) 특성 및 잔류 분극량 특성을 각각 측정하였다.
- <62>        도 5 내지 도 7은 상기 특성들에 대한 결과를 나타낸 것으로서, 도 5는 분극 특성을, 도 6은 피로(fatigue) 특성을, 도 7은 잔류 분극량(non-volatile remnant polarization) 특성, 즉 리텐션 특성을 보여준다.
- <63>        도 5에서 참조부호 S1 내지 S4는 각각 상기 샘플 1 내지 샘플 4에 대한 제1 내지 제4 분극률 이력곡선을 나타낸다.
- <64>        제1 내지 제4 분극률 이력곡선(S1, S2, S3, S4)을 참조하면, 상기 제1 강유전체 커패시터의 분극률 이력특성을 보여주는 제3 분극률 이력곡선(S3)과 세 종류의 제2 강유전체 커패시터의 분극률 이력특성을 보여주는 제1, 제2 및 제4 분극률 이력곡선들(S1, S2, S4)사이에 이력특성은 대등함을 알 수 있다. 이것은 곧 단일 강유전막을 갖는 종래의 강유전체 커패시터의 분극 특성에 비해 두 개 이상의 이질적 강유전막이 순차적으로 적층되어 구성된 유전막을 갖는 본 발명의 강유전체 커패시터의 분극 특성이 손색이 없다는 것을 의미한다.
- <65>        도 6에서 참조부호 S1', S2', S3' 및 S4'는 각각 상기 샘플 1 내지 샘플 4에 대한 제1 내지 제4 피로특성 곡선을 나타낸다.
- <66>        제1 내지 제4 피로특성 곡선(S1', S2', S3', S4')을 참조하면, 샘플 1의 경우, 피로 싸이클(fatigue cycle)이 증가함에 따라 분극차( $\Delta P$ )는 급격히 감소하는 반면, 샘플

2 내지 샘플 4의 경우, 피로 싸이클 증가에 따른 분극차는 거의 변화하지 않았다. 이것은 상기 제1 강유전체 커패시터의 피로 특성이 전도성 산화막을 상부 및 하부전극으로 사용하고 상기 하부전극과 단일 강유전막사이에 백금막을 구비하는 제2 강유전체 커패시터(샘플 2 및 4)의 피로특성과 마찬가지로 우수함을 의미한다.

<67> 도 7에서 참조부호 S1", S2", S3" 및 S4"는 각각 샘플 1 내지 샘플 4에 대한 잔류 분극량 특성을 보여주는 제1 내지 제4 리텐션 곡선을 나타낸다.

<68> 제1 내지 제4 리텐션 곡선들(S1", S2", S3" 및 S4")은 다음과 같은 과정을 통해서 얻었다. 상기 과정은 각 샘플에 대해 동일하므로, 샘플 3, 곧 제1 강유전체 커패시터를 예로 들어 설명한다.

<69> 이에 앞서 리텐션 특성의 정의와 평가 방법을 간략히 설명한다. 리텐션 특성 평가란 강유전체 커패시터에 어떤 데이터를 저장하기 위해서 전압을 걸어 도메인을 한쪽 방향으로 정렬시키고 소정의 시간이 지난 다음, 저장된 데이터에 손상이 있는지 검증하는 행위를 말한다.

<70> 저장된 데이터는 보통 커패시터 내부의 분극량을 스위칭(switching)시키면서 발생하는 전하량의 크기로 나타나는데, 서로 반대 방향의 분극 상태("0" 또는 "1")에 대해서 일정한 방향과 크기의 전압을 인가했을 때 발생하는 전하량의 크기는 회로의 감지 증폭기(sense amplifier)에 의해서 구분 가능한 차이를 보여야만 한다. 커패시터 내부의 강유전체를 처음 양(+)의 혹은 음(-)의 전압으로 분극방향을 정렬시키고("0" 또는 "1" 상태) 소정 시간 동안 기다린 다음, 그 상태를 반전시키고("1" 또는 "0" 상태) 다시 쓰여진 그 상태를 읽어내는 행위를 반전상태 리텐션 평가(opposite-state retention

evaluation)라 칭한다. 반전상태 리텐션 특성을 나타내는 지표로는 비휘발성 분극률 (non-volatile polarization) 또는 반전 상태 분극률이 있는데 다음과 같이 정의한다.

<71> 구체적으로, 상기 제1 강유전체 커패시터에 소정의 제1 전압을 인가하여 데이터 "0"을 기록하는, 곧 상기 제1 강유전체 커패시터의 강유전막이 소정의 분극상태가 되도록 하는 제1 단계, 상기 데이터 "0"이 기록된 상기 제1 강유전체 커패시터를 소정의 시간동안 베이킹(baking)하는 제2 단계, 상기 베이킹된 제1 강유전체 커패시터에 상기 제1 전압과 크기는 동일하되, 극성은 반대인 제2 전압을 인가하여 상기 기록된 데이터 "0"을 데이터 "1"로 반전시키는, 곧 상기 제1 강유전체 커패시터의 강유전막의 분극상태를 반전시키는 제3 단계, 상기 데이터가 반전된 상태로 상기 제1 강유전체 커패시터를 소정의 시간 동안 유지하는 제4 단계, 상기 제1 강유전체 커패시터에 다시 상기 제1 전압을 인가하여 상기 반전에 의해 기록된 데이터 "1"을 다시 데이터 "0"으로 반전시키는, 곧 상기 제1 강유전체 커패시터의 강유전막의 반전된 분극상태를 재 반전시키는 제5 단계를 실시한 후, 상기 제1 강유전체 커패시터에 최종적으로 기록된 상기 데이터 "0"을 읽을 때 측정되는 분극률을  $P^*_{0S}$ (이하, 제1 반전상태 분극률이라 함)라 하고,

<72> 상기 제1 단계에서 상기 제1 강유전체 커패시터에 상기 제2 전압을 인가하여 데이터 "1"을 기록하고 이어 상기 제2 단계를 실시하고 상기 제3 단계에서 상기 제1 전압을 인가하여 상기 기록된 데이터 "1"을 데이터 "0"으로 반전시키고 이어 상기 제4 및 제5 단계를 실시한 다음, 상기 제1 강유전체 커패시터에 최종적으로 기록된 상기 데이터 "0"을 읽을 때 측정되는 분극률을  $P^{\wedge}_{0S}$ (이하, 제2 반전상태 분극률이라 함)이라 하면,

<73> 상기 제1 강유전체 커패시터, 곧 샘플 3에 대한 제3 리텐션 곡선(S3")은 다음 수식과 같이 상기 제1 및 제2 반전상태 분극률의 차( $\Delta P_{OS}$ )주어진다. 상기 차( $\Delta P_{OS}$ )는 0보다 큰 것이 바람직하고, 클수록 리텐션 특성이 우수하다. 이것은 데이터를 기록하고 오랜 시간(통상 10년 이상)이 지난 후에도 상기 기록된 데이터를 정확히 읽을 수 있음을 의미한다.

<74> 【수학식 1】  $\Delta P_{OS} = P^*_{OS} - P^{\wedge}_{OS}$

<75> 강유전체 커패시터의 리텐션 특성을 정확히 측정하기 위해서는 강유전체 커패시터에 소정의 데이터를 기록한 후, 10년 또는 그 이상의 시간이 흐른 뒤에 상기 강유전체 커패시터에서 상기 기록된 소정의 데이터를 읽는 것이 바람직하나, 현실적으로 단순히 데이터를 읽기 위해 그렇게 오랜 시간을 기다린다는 것은 어렵기 때문에, 일반적으로 상기 강유전체 커패시터에 상기한 시간만큼 오랜 시간이 경과한 것과 동등한 효과를 줄 수 있는 조건하에서 상기 강유전체 커패시터를 처리한다.

<76> 상기 제2 단계의 베이킹도 이러한 이유에 따른 것으로, 본 발명자는 상기 제2 단계에서 상기 제1 및 제2 강유전체 커패시터 모두를 125℃ 전후에서 1시간~100시간 정도 베이킹하였다. 그리고 상기 제4 단계에서 유지시간은 30초 정도로 하였다. 상기 베이킹 온도에 따라 베이킹 시간은 달라질 수 있다.

<77> 도 8은 상기 제1 내지 제5 단계를 보여주는 타이밍 차트인데, 여기서 참조부호  $t_b$  및  $t_w$ 는 각각 상기 제2 단계에서 실시되는 베이킹 시간 및 제4 단계의 유지시간을 나타낸다.

- <78> 계속해서, 도 7의 제1 내지 제4 리텐션 곡선들(S1", S2", S3", S4")을 참조하면, 샘플 1 내지 4들 모두  $\Delta P_{OS}$ 가 0보다 큰 것을 알 수 있고, 베이킹 시간( $t_b$ )이 길어지면  $\Delta P_{OS}$ 가 점차 작아진다는 것을 알 수 있으나, 그 정도는 샘플 1, 2 및 4보다 샘플 3에서 훨씬 적어서 샘플 3에 대한  $\Delta P_{OS}$ 가 가장 크다는 것을 알 수 있다. 이것은 본 발명의 강유전체 커패시터를 나타내는 상기 샘플 3의 리텐션 특성이 가장 우수함을 의미한다.
- <79> 다음에는 상기한 바와 같은 본 발명의 실시예에 의한 강유전체 커패시터 제조방법에 대해 설명한다.
- <80> 구체적으로, 도 3 및 도 9를 참조하면, 제1 단계(100)에서 기판 상에 하부전극(40)을 형성한다. 이때, 상기 기판은 강유전체 커패시터 아래에 형성된 트랜지스터(미도시)의 소정 영역과 연결되는 도전성 플러그(미도시)의 전면과 접촉되는 도전성 물질막으로 형성한다. 그리고 하부전극(40)은 도전성 산화막, 예를 들면 이리듐 산화막 또는 루테튬 산화막( $RuO_2$ )으로 형성한다.
- <81> 제2 내지 제4 단계(110, 120, 130)는 하부전극(40) 상에 제1 내지 제3 강유전막(42a, 42b, 42c)으로 구성된 유전막(42)을 이질적으로 혹은 비균질막으로 형성하는 단계이다.
- <82> 유전막(42)은 두 가지 방법으로 형성한다.
- <83> 첫째는 제1 내지 제3 강유전막(42a, 42b, 42c)을 모두 조성(성분)이 동일한 강유전막, 예컨대 PZT막, PLZT막 및 BSO-PZT막 중 어느 하나로 형성하는 방법이다. 그러나 이때는 각 강유전막의 조성비(성분비)를 다르게 형성한다.

- <84> 구체적으로, 제1 강유전막(42a)은 CSD방법 및 CVD방법, 예컨대 MOCVD(Metal Organic Chemical Vapor Deposition)방법 중 선택된 어느 한 방법으로 형성한다. 이어서 상기 제1 강유전막(42a) 상에 제2 강유전막(42a)을 형성하되, 제1 강유전막(42a)을 형성하는데 사용한 방법과 다른 방법을 사용하여 형성한다. 예컨대, 제1 강유전막(42a)을 CSD방법으로 형성한 경우, 제2 강유전막(42b)은 MOCVD방법 또는 CSD방법과 MOCVD방법을 혼용한 방법으로 형성한다. 계속해서 제2 강유전막(42b) 상에 제3 강유전막(42c)을 형성한다. 이때 제3 강유전막(42c)은 CSD방법으로 형성하거나 MOCVD방법외의 다른 증착방법으로 형성한다.
- <85> 유전막(42)을 형성하는 두 번째 방법은 형성 방법은 동일하게 하되, 이웃한 두 강유전막, 예컨대 제1 및 제2 강유전막(42a, 42b)과 제2 및 제3 강유전막(42b, 42c)을 조성이 다른 강유전막으로 형성하는 방법이다.
- <86> 구체적으로, 하부전극(40) 상에 소정의 방법, 예컨대 CSD 방법 또는 MOCVD방법을 사용하여 제1 강유전막(42a)을 형성한다. 제1 강유전막(42a)은 PZT막, PLZT막 또는 BSO-PZT막으로 형성한다. 이어서 제1 강유전막(42a) 상에 제1 강유전막(42a)을 형성할 때와 동일한 형성 방법으로 제2 강유전막(42b)을 형성하되, 제2 강유전막(42b)은 제1 강유전막(42a)과 조성이 다른 강유전막, 예컨대 제1 강유전막(42a)을 PZT막으로 형성하는 경우, PLZT막으로 형성하는 것이 바람직하다. 계속해서 제2 강유전막(42b) 상에 제1 강유전막(42a)을 형성할 때와 동일한 형성 방법으로 제3 강유전막(42c)을 형성하되, 제3 강유전막(42c)은 제2 강유전막(42b)과 조성이 다른 강유전막, 예컨대 제2 강유전막(42b)을 PLZT막으로 형성하는 경우, PZT막 또는 PLZT막외의 다른 강유전막으로 형성하는 것이 바람직하다.

- <87> 제1 내지 제3 강유전막(42a, 42b, 42c)을 형성하기 위한 상기 두 방법에서, 각 강유전막은 소정의 온도, 예컨대 300℃~450℃로 형성한다. 그리고 제1 강유전막(42a)은 3nm~50nm의 두께로, 제2 강유전막(42b)은 30nm~150nm의 두께로, 제3 강유전막(42c)은 3nm~50nm의 두께로 형성한다.
- <88> 유전막(42)은 상기 두 방법을 혼용하여 형성할 수도 있는데, 예컨대 제1 및 제2 강유전막(42a, 42b)은 상기 첫 번째 방법에 따라 조성이 동일한 강유전막, 예컨대 PZT막을 서로 다른 형성 방법으로 형성하고, 제3 강유전막(42c)은 상기 두 번째 방법에 따라 제2 강유전막(42b)을 형성할 때 사용한 것과 동일한 형성 방법으로 형성하되, 제2 강유전막(42b)과 조성이 다른 강유전막, 예컨대 0.1%의 라듐(La)이 포함된 PLZT막으로 형성할 수 있다.
- <89> 상기한 바와 같이, 유전막(42)을 비균질 다층박막으로 형성함으로써, 각 강유전막 내부에 전하 결함의 이동을 막을 수 있는 트랩 사이트(trap site)가 만들어져서 분극반전 상태에서의 리텐션 특성이 향상된다.
- <90> 한편, 유전막(42)을 형성하기 전에 하부전극(40) 상에 중간막(미도시)을 형성할 수 있다. 상기 중간막은 제1 강유전막(42a)의 성장에 도움을 줄 수 있는 물질막으로 형성하는 것이 바람직하다. 따라서 제1 강유전막(42a)을 PZT막 또는 PLZT막으로 형성하고자 하는 경우, 상기 중간막은 백금막으로 형성하는 것이 바람직하다.
- <91> 제5 단계(140)는 제3 강유전막(42c) 상에 상부전극(44)을 형성하는 단계이다.

- <92> 구체적으로, 제3 강유전막(42c) 상에 전도성 산화막, 예컨대 이리듐 산화막( $\text{IrO}_2$ ) 또는 루테튬 산화막( $\text{RuO}_2$ )을 형성한다. 이어서 상기 전도성 산화막 상에 금속막, 예컨대 이리듐(Ir)막 혹은 루테튬(Ru)막을 형성한다.
- <93> 이와 같이 상부전극(44)을 전도성 산화막을 포함하는 복층 구조로 형성하는 것이 바람직하나, 전도성 산화막 또는 금속막으로만 이루어진 단층 구조로 형성해도 무방하다.
- <94> 상부전극(44)을 형성한 다음, 전체 결과물을 제1 내지 제3 강유전막(42a, 42b, 42c)을 형성할 때보다 높은 온도, 예컨대  $450^\circ\text{C} \sim 650^\circ\text{C}$ 로 어닐링 한다.
- <95> 이후, 상기 기판 상에 순차적으로 적층된 하부전극(40), 유전막(42) 및 상부전극(44)을 메모리 셀의 크기에 맞춰 패터닝함으로써, 강유전체 셀 커패시터가 형성된다. 상기 전체 결과물의 어닐링은 상기 셀 커패시터가 형성된 후에 실시할 수 있다.
- <96> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기한 첫 번째 또는 두 번째 방법을 적용하여 유전막(42)을 세 개보다 많은 강유전막으로 형성할 수 있을 것이다. 또한 유전막(42)의 일부 두께, 예컨대 절반까지는 종래의 방법으로 형성하고 나머지 절반은 본 발명에 따라 형성할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.



**【발명의 효과】**

<97> 상술한 바와 같이, 본 발명에 의한 강유전체 커패시터의 유전막은 조성이 다르거나 조성이 같은 경우 조성비가 서로 다른 두 개 이상의 이질적 강유전막이 적층되어 형성된 것이기 때문에, 강유전막 내에서 전하결합이 이동되는 것을 막을 수 있다. 이에 따라 강유전막의 내부 전기장이 크게 약화되어 긴 리텐션 시간 동안 강유전막의 도메인 분극 상태는 안정적으로 유지될 수 있다. 이것은 강유전체 커패시터에 데이터를 기록하는 경우, 오랜 시간이 경과한 후에도 상기 기록된 데이터를 정확히 읽을 수 있음을 의미하는 것으로, 본 발명에 의한 강유전체 커패시터가 적용된 FRAM의 경우, 신뢰성이 종래보다 높아질 수 있음을 의미한다.

**【특허청구범위】****【청구항 1】**

하부전극, 유전층 및 상부전극이 순차적으로 적층된 강유전체 커패시터에 있어서,  
상기 유전층은 복층의 강유전막들이 순차적으로 적층된 것이되,  
상기 복층의 강유전막들 중 인접한 두 강유전막은 조성 또는 조성비에 있어 서로  
이질적인 것을 특징으로 하는 강유전체 커패시터.

**【청구항 2】**

제 1 항에 있어서, 상기 하부전극 및 상기 유전층사이에 또는 상기 상부전극과 상  
기 유전층사이에 중간막이 더 구비된 것을 특징으로 하는 강유전체 커패시터.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 유전층은 제1 내지 제3 강유전막이 순차적으  
로 적층된 것을 특징으로 하는 강유전체 커패시터.

**【청구항 4】**

제 3 항에 있어서, 상기 제1 내지 제3 강유전막은 PZT막, PLZT막 및 BSO-PZT막 중  
어느 하나이되, 인접한 두 강유전막은 서로 다른 것을 특징으로 하는 강유전체 커패시터

**【청구항 5】**

제 2 항에 있어서, 상기 중간막은 백금(Pt)막인 것을 특징으로 하는 강유전체 커패  
시터.

**【청구항 6】**

제 5 항에 있어서, 상기 상부 및 하부전극은 각각 전도성 산화막 및 금속막 중 적어도 어느 하나인 것을 특징으로 하는 강유전체 커패시터.

**【청구항 7】**

하부전극, 유전층 및 상부전극이 순차적으로 적층된 강유전체 커패시터의 제조 방법에 있어서,

상기 유전층은,

상기 하부전극 상에 제1 강유전막을 형성하는 제1 단계; 및

상기 제1 강유전막 상에 상기 제1 강유전막과 조성 또는 조성비에 있어 이질적인 제2 강유전막을 형성하는 제2 단계를 통해서 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 8】**

제 7 항에 있어서, 상기 제2 강유전막 상에 상기 제2 강유전막과 조성 또는 조성비에 있어 이질적인 제3 강유전막을 더 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 9】**

제 7 항에 있어서, 상기 제1 및 제2 강유전막은 동일 조성을 갖는 강유전막으로 형성하되, 서로 다른 공정으로 형성하여 상기 제1 및 제2 강유전막의 조성비를 다르게 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 10】**

제 7 항에 있어서, 상기 제1 및 제2 강유전막은 조성이 다른 강유전막으로 형성하  
되, 동일한 공정을 사용하여 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방  
법.

**【청구항 11】**

제 9 항에 있어서, 상기 제1 및 제2 강유전막은 모두 PZT막, PLZT막 또는 BSO-PZT  
막으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 12】**

제 10 항에 있어서, 상기 제1 및 제2 강유전막은 각각 PZT막, PLZT막 또는 BSO-PZT  
막으로 형성하되, 서로 다른 막으로 형성하는 것을 특징으로 하는 강유전체 커패시터의  
제조방법.

**【청구항 13】**

제 11 항에 있어서, 상기 제1 및 제2 강유전막은 각각 CSD 방법 또는 MOCVD 방법으  
로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 14】**

제 12 항에 있어서, 상기 제1 및 제2 강유전막은 모두 CSD방법 및 MOCVD방법 중 선  
택된 어느 한 방법으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 15】**

제 8 항에 있어서, 상기 제2 및 제3 강유전막은 동일 조성을 갖는 강유전막으로 형성하되, 서로 다른 공정으로 형성하여 상기 제2 및 제3 강유전막의 조성비를 다르게 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 16】**

제 8 항에 있어서, 상기 제2 및 제3 강유전막은 조성이 다른 강유전막으로 형성하되, 동일한 공정을 사용하여 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 17】**

제 15 항에 있어서, 상기 제2 및 제3 강유전막은 모두 PZT막, PLZT막 또는 BSO-PZT막으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 18】**

제 16 항에 있어서, 상기 제2 및 제3 강유전막은 PZT막, PLZT막 및 BSO-PZT막으로 형성하되, 서로 다른 막으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 19】**

제 17 항에 있어서, 상기 제2 및 제3 강유전막은 각각 CSD 방법 또는 MOCVD 방법으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 20】**

제 18 항에 있어서, 상기 제2 및 제3 강유전막은 모두 CSD방법 및 MOCVD방법 중 선택된 어느 한 방법으로 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 21】**

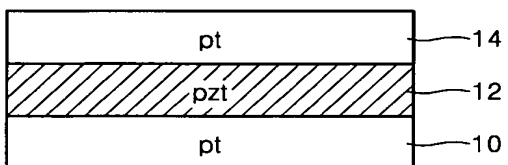
제 7 항에 있어서, 상기 하부전극과 상기 유전층사이에 상기 제1 강유전막의 성장을 위한 중간막을 더 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

**【청구항 22】**

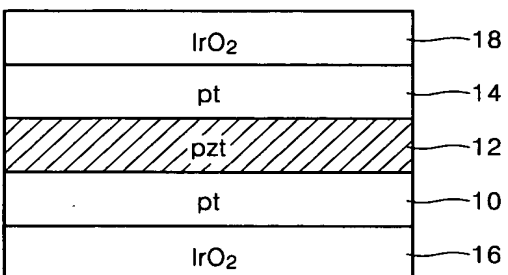
제 7 항에 있어서, 상기 상부전극과 상기 유전층사이에 상기 제3 강유전막의 성장을 위한 중간막을 더 형성하는 것을 특징으로 하는 강유전체 커패시터의 제조방법.

## 【도면】

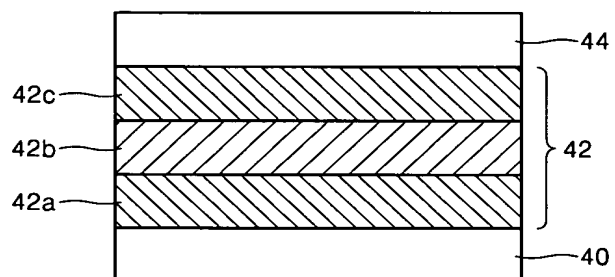
【도 1】



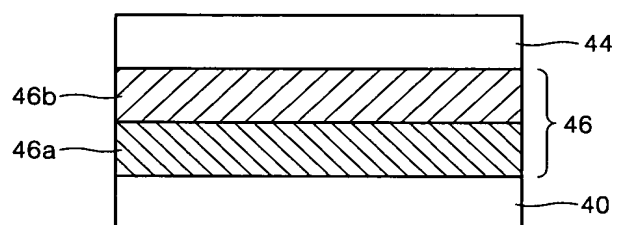
【도 2】



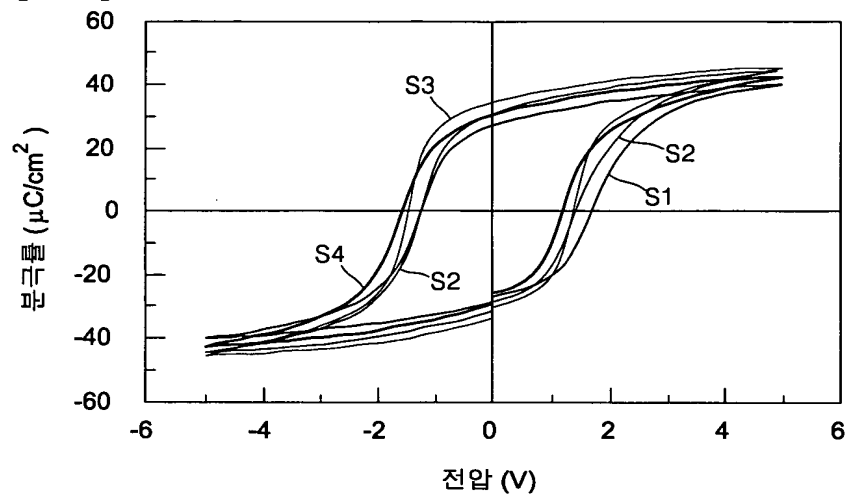
【도 3】



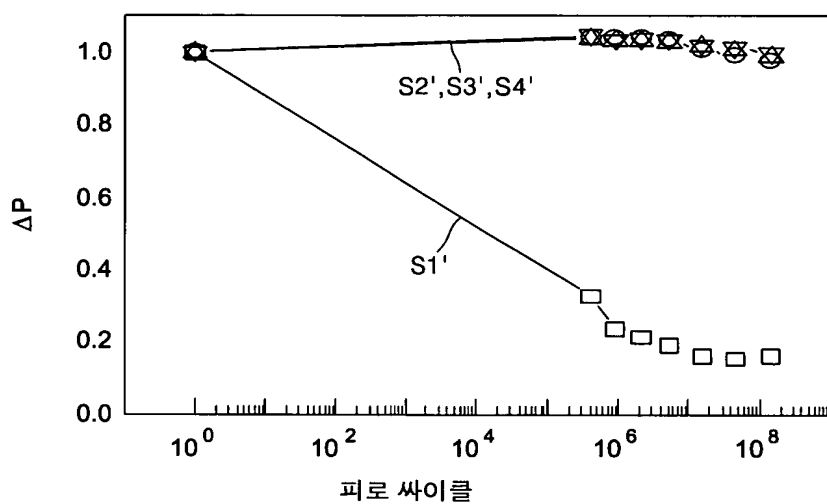
【도 4】



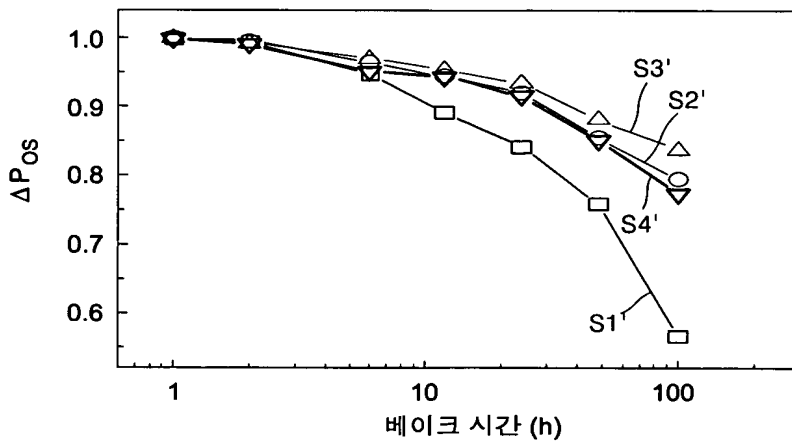
【도 5】



【도 6】

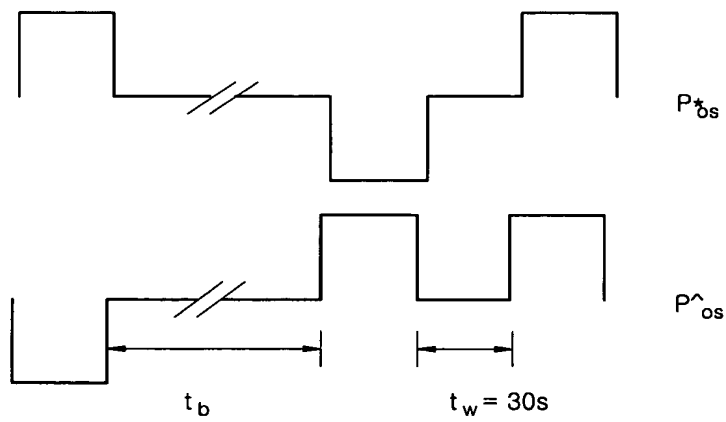


【도 7】





【도 8】



$$\Delta P_{os} = P_{os}^* - P_{os}^{\wedge}$$

【도 9】

